

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-145429

(43) 公開日 平成11年(1999) 5月28日

(51) Int.Cl. <sup>6</sup>	識別記号	F I	
H 0 1 L	27/115	H 0 1 L	27/10
	21/8247		29/78
	29/788		
	29/792		

審査請求 未請求 請求項の数10 O L (全 22 頁)

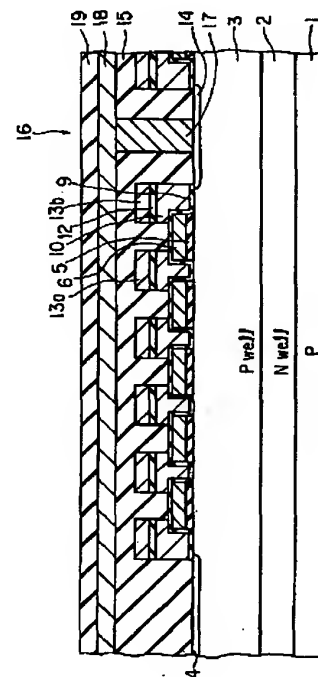
(21) 出願番号	特願平9-305300	(71) 出願人	000003078 株式会社東芝 神奈川県川崎市幸区堀川町72番地
(22) 出願日	平成9年(1997)11月7日	(72) 発明者	作井 康司 神奈川県川崎市幸区堀川町580番1号 株 式会社東芝半導体システム技術センター内
		(74) 代理人	弁理士 鈴江 武彦 (外6名)

(54) 【発明の名称】 半導体記憶装置及びその製造方法

## (57) 【要約】

【課題】ブースタプレートと浮遊ゲート間の容量を増大させ、低電圧で書き込み／消去／読み出し動作が可能なNAND型EEPROMを提供する。

【解決手段】p形シリコン基板1上に第1のゲート絶縁膜5を介してブースタプレート6が形成され、このブースタプレート6との間に第2のゲート絶縁膜9を介して配置され、このブースタプレート6の少なくとも上面の一部との間にキャパシタを形成する浮遊ゲート10が形成される。さらに、前記浮遊ゲート10上には第3のゲート絶縁膜12を介して制御ゲート13aが形成される。



## 【特許請求の範囲】

【請求項1】 半導体基板上に形成された導電体と、前記半導体基板及び導電体上に亘り絶縁膜を介して形成された浮遊ゲートと、前記浮遊ゲート上に絶縁膜を介して形成された制御ゲートと、を具備することを特徴とする半導体記憶装置。

【請求項2】 半導体基板上に形成された導電体と、前記導電体との間に絶縁膜を介して配置され、この導電体の少なくとも上面の一部との間にキャパシタを形成する浮遊ゲートと、前記浮遊ゲート上に絶縁膜を介して形成された制御ゲートと、を具備することを特徴とする半導体記憶装置。

【請求項3】 半導体基板上に形成された導電体と、前記導電体との間に絶縁膜を介して配置され、この導電体の少なくとも上面の一部との間にキャパシタを形成する浮遊ゲートと、前記浮遊ゲート上に絶縁膜を介して形成された制御ゲートと、を有する二層のスタック構造からなる電氣的書き換え可能なメモリセルを複数個接続したメモリセルユニットを具備することを特徴とする半導体記憶装置。

【請求項4】 半導体基板上に形成された導電体と、前記導電体との間に絶縁膜を介して配置され、この導電体の少なくとも上面の一部との間にキャパシタを形成する浮遊ゲートと、前記浮遊ゲート上に絶縁膜を介して形成された制御ゲートと、を有する二層のスタック構造からなる電氣的書き換え可能なメモリセルを複数個直列接続したNANDセルを具備することを特徴とする半導体記憶装置。

【請求項5】 前記半導体基板は、前記導電体下及び浮遊ゲート下における表面領域が互いに同導電型を有することを特徴とする請求項1乃至請求項4のいずれか1項に記載の半導体記憶装置。

【請求項6】 前記導電体は、第1の導電膜及び第2の導電膜が積層された積層構造を有し、前記第1の導電膜と自己整合的に設けられたトレンチ内に絶縁物が埋め込まれてなるトレンチ素子分離領域が形成されていることを特徴とする請求項1乃至請求項5のいずれか1項に記載の半導体記憶装置。

【請求項7】 前記導電体は、メモリセルへの書き込み時に書き込み電圧が印加されることを特徴とする請求項1乃至請求項6のいずれか1項に記載の半導体記憶装置。

【請求項8】 前記導電体は、メモリセルの読み出し時に電源電圧が印加されることを特徴とする請求項1乃至請求項6のいずれか1項に記載の半導体記憶装置。

【請求項9】 半導体基板上に形成された複数個のメモ

リセルを接続してメモリセルユニットを構成する半導体記憶装置の製造方法において、

前記半導体基板に素子分離領域を形成する工程と、前記半導体基板上に第1の絶縁膜を成膜する工程と、この第1の絶縁膜上に第1の導電膜を成膜する工程と、この第1の導電膜上に所定パターンのシリコン窒化膜を形成し、さらにこのシリコン窒化膜の側面に側壁パターンを形成する工程と、

前記シリコン窒化膜および側壁パターンをマスクとして、前記第1の絶縁膜および第1の導電膜を前記メモリセルの制御ゲート線方向に沿った複数の線状にパターニングする工程と、

前記線状にパターニングされた第1の導電膜上に第2の絶縁膜を成膜する工程と、

この第2の絶縁膜上に浮遊ゲートとなる第2の導電膜を成膜する工程と、

前記メモリセルの制御ゲート線方向に隣接する前記素子分離領域上の第2の導電膜に分離用溝を形成する工程と、

前記第2の導電膜上に第3の絶縁膜を成膜する工程と、この第3の絶縁膜上に第3の導電膜を成膜する工程と、この第3の導電膜と、前記第3の絶縁膜と、前記第2の導電膜とを自己整合的にパターニングして、少なくとも互いに隣接する前記第1の導電膜間に制御ゲート線及び浮遊ゲートを形成する工程と、

前記メモリセルユニットのソース/ドレインとして機能する領域に、イオン注入により前記線状にパターニングされた第1の導電膜及び前記制御ゲート線と自己整合的に拡散層を形成する工程と、

を具備することを特徴とする半導体記憶装置の製造方法。

【請求項10】 半導体基板上に形成された複数個のメモリセルを接続してメモリセルユニットを構成する半導体記憶装置の製造方法において、

前記半導体基板上に第1の絶縁膜を成膜する工程と、この第1の絶縁膜上に第1の導電膜を成膜する工程と、前記第1の導電膜を所定パターンにパターニングし、これをマスク材として前記半導体基板に素子分離用溝を形成する工程と、

この素子分離用溝を絶縁物で埋め込んで素子分離領域を形成する工程と、

前記半導体基板上に第2の導電膜を成膜した後、この第2の導電膜及び前記第1の導電膜を前記メモリセルの制御ゲート線方向に沿った複数の線状にパターニングする工程と、

前記線状にパターニングされた前記第2の導電膜と第1の導電膜の積層体上に第2の絶縁膜を成膜する工程と、この第2の絶縁膜上に浮遊ゲートとなる第3の導電膜を成膜する工程と、

前記メモリセルの制御ゲート線方向に隣接する前記素子

分離領域上の第3の導電膜に分離用溝を形成する工程と、  
前記第3の導電膜上に第3の絶縁膜を成膜する工程と、  
この第3の絶縁膜上に第4の導電膜を成膜する工程と、  
この第4の導電膜と、前記第3の絶縁膜と、前記第3の導電膜とを自己整合的にパターンニングして、少なくとも互いに隣接する前記第2の導電膜と第1の導電膜の積層体間に制御ゲート線及び浮遊ゲートを形成する工程と、  
前記メモリセルユニットのソース／ドレインとして機能する領域に、イオン注入により前記線状にパターンニングされた第2の導電膜と第1の導電膜の積層体及び前記制御ゲート線と自己整合的に拡散層を形成する工程と、  
を具備することを特徴とする半導体記憶装置の製造方法。

#### 【発明の詳細な説明】

##### 【0001】

【発明の属する技術分野】本発明は、半導体記憶装置及びその製造方法に関するものであり、特に複数のメモリセルを接続してメモリセルユニット(NANDセル、ANDセル、DINORセル)を構成する半導体記憶装置及びその製造方法に関するものである。

##### 【0002】

【従来の技術】従来、半導体記憶装置の一つとして、電氣的書き換えを可能としたEEPROMが知られている。なかでも、メモリセルを複数個直列接続してNAND列を構成するNAND型EEPROMは、高集積化ができるものとして注目されている。

【0003】NAND型EEPROMの1つのメモリセルは、半導体基板上に絶縁膜を介して浮遊ゲート(Floating Gate)(電荷蓄積層)と制御ゲート(Control Gate)が積層されたFETMOS構造を有する。そして、複数のメモリセルが、隣接するもの同士でソース・ドレインを共有する形で直列接続されてNANDセルを構成する。このようなNANDセルがマトリックス配列されて、メモリセルアレイが構成される。

【0004】メモリセルアレイの列方向に並ぶNANDセルの一端側のドレインは、それぞれ選択ゲートトランジスタを介してビット線に共通接続され、他端側のソースはやはり選択ゲートトランジスタを介して共通ソース線に接続されている。メモリセルトランジスタのワード線及び選択ゲートトランジスタのゲート電極は、メモリセルアレイの行方向にそれぞれワード線(制御ゲート線)、選択ゲート線として共通接続されている。

【0005】このような従来のNAND型EEPROMの公知な例として、従来例1: K. -D. Suh et al., "A 3.3V 32 Mb NAND Flash Memory with Incremental Step Pulse Programming Scheme," IEEE J. Solid- State Circuits, vol. 30, pp. 1149-1156, Nov. 1995.、および従来例2: Y. I

wata et al., "A 35ns Cycle Time 3.3 V Only 32Mb NAND Flash EEPROM," IEEE J. Solid- State Circuits, vol. 30, pp. 1157-1164, Nov. 1995.等の発表がある。

【0006】上記従来例1に、従来のNAND型EEPROMの動作が説明されているが、その内容を以下に図29および図30を用いて説明する。図29は、メモリアレイの構成を示すブロック図であり、図30は消去(Erase)、読み出し(Read)、書き込み(Program)動作のバイアス状態を示す図である。

【0007】図中のBSELはブロック選択信号、Bitlineはビット線、CSLはソース線、CG0-CG15は共通ゲート線、SSL, GSLはそれぞれ、ビット線側、ソース線側の選択ゲート線、Sel. W/L, Pass W/Lはそれぞれ、選択NAND列内の選択ワード線、非選択ワード線を示している。

【0008】このように構成されたメモリセルにおいて消去動作時には、図29の共通ゲート線CG0-CG15は接地される。選択ブロックのブロック選択信号BSELは"H(電源電圧)"となり、非選択ブロックのブロック選択信号BSELは"L(接地電位)"を維持する。したがって、選択ブロックのワード線は接地電位(0)となり、非選択ブロックのワード線はフローティング(F)状態になる。

【0009】次に、21V, 3msの消去パルスがバルク(Bulk)(セルPウェル)に印加される。その結果、選択ブロックでは、バルクとワード線との間に消去電圧(21V)が加わり、浮遊ゲート中の電子がFN(Fowler-Nordheim)トンネル電流により、セルPウェル中に抜け、セルのしきい値電圧はほぼ-3Vとなる。NAND型フラッシュでは過消去が問題とならないため、セルは1回の消去パルスで、-3V程度に深く消去される。

【0010】一方、非選択ブロックは、フローティング状態のワード線とセルPウェルとの容量カップリングにより、消去パルスの影響を受けない。フローティング状態のワード線では、ブロック選択信号BSELの入力するトランジスタのソース、そのソースとポリシリコンのワード線との間の金属配線、およびポリシリコンのワード線が接続されている。

【0011】カップリング比は、フローティング状態のワード線に接続される容量から計算される。BSELゲート入力のトランジスタのソース接合容量、ソースとゲートのオーバーラップ容量、ポリシリコンと金属配線のフィールド上の容量、ポリシリコンのワード線とセルPウェルとの容量等があるが、ポリシリコンのワード線とセルPウェルとの容量が全容量に対して支配的に大きい。このため、実測結果から求めたカップリング比は約0.9と大きく、FNトンネル電流が流れるのを防げる。消去ヴェリファイ(検証)は選択ブロック内の全てのセル

のしきい値電圧が $-1\text{V}$ 以下になったかどうかで判定される。

【0012】また、読み出し動作では、1ページ分のセルデータが同時にページバッファ(Page Buffer)50のラッチ回路(Latch)51に転送され、連続的に読み出される。図31は、読み出し時の主要信号の動作波形を示す図である。

【0013】1ページ分のセルデータをセンスする際、前記ページバッファは最初“0”(論理ローレベルで、消去セルを読み出した状態)に初期化されており、図31のt1に示すように、ビット線は $0\text{V}$ に、選択ゲート線SSL、GSLは $4.5\text{V}$ になる。その後、図31のt2に示すように、選択ブロック(NAND列)内の選択ワード線(Selected)には $0\text{V}$ が、選択ブロック内の非選択ワード線(Unselected)にはバス電圧である $4.5\text{V}$ が入力される。非選択ワード線に入力する $4.5\text{V}$ は書き込み後、および消去後のそれぞれのセルのしきい値電圧よりも高いため、全ての非選択セルはバス・トランジスタとして働く。

【0014】一方、 $0\text{V}$ 印加の選択ワード線により、消去後のセル・トランジスタのみが導通する。したがって、消去後のセルが読み出されたNAND列はビット線を接地するバスとなり、書き込み後のセルが読み出されたNAND列はビット線を開放状態(オープン状態)にする。

【0015】図31のt3に示すように、ビット線からラッチへの直接のセンス経路は図29のPGMを“L”にすることにより遮断されており、ラッチデータはSENSEトランジスタ52を通してのみ決定される。 $V_{ref}$ によって、 $2\mu\text{A}$ の負荷電流をビット線に供給するPMOSカレント・ミラー回路(Current Mirror)53の負荷が活性化される。

【0016】このとき、消去後のセルを読み出しているビット線では、負荷電流が垂れ流れ、 $0\text{V}$ レベルを維持し、書き込み後のセルを読み出しているビット線は“H”レベルとなる。図31のt4に示すように、書き込み後のセルを読み出しているビット線はSENSEトランジスタ52を導通させ、ラッチデータを“1”にひっくり返す。

【0017】こうして、書き込み後のセルを読み出したラッチ回路51は“1”を、消去後のセルを読み出したラッチ回路51は“0”を保存する。これら“1”、“0”のラッチデータは読み出し回路を経た後、正規の論理レベルに変換される。したがって、1ページ分の全ラッチ回路は同時にセットされた後、連続的な読み出しを可能とする。

【0018】また、書き込み動作では、まず、連続的にページバッファ50に書き込みデータがロードされる。“0”は書き込みを行うセルデータであり、“1”は書き込み禁止のセルデータである。書き込みサイクルは、

全ての“0”ラッチデータの全セルが書き込まれるまで繰り返される。

【0019】各書き込みサイクルは、書き込みパルスと“0”ラッチのセルの過書き込みを防止するためのヴェリファイ動作とで構成されている。さらに具体的には、 $40\mu\text{s}$ の書き込みサイクルは以下の(1)～(4)のステップで構成される。

【0020】(1)ビット線セットアップ( $8\mu\text{s}$ ): ページバッファ50のラッチ回路51内の書き込みデータに従ってビット線のレベルを、書き込みは $0\text{V}$ に、書き込み禁止は $V_{cc}$ に設定する。

【0021】(2)書き込み( $20\mu\text{s}$ ): 選択ワード線に書き込み電圧を短いパルスで入力する。

【0022】(3)ワード線放電( $4\mu\text{s}$ ): 選択ワード線の高電位は放電され、次の低いヴェリファイ電位の入力に備える。

【0023】(4)書き込みヴェリファイ( $8\mu\text{s}$ ): 書き込みセルのしきい値電圧が目標値以上に書き込まれた否かをチェックする。

【0024】前記ヴェリファイ動作では、十分に書き込みが行われたセルのラッチ回路51は“0”から“1”へと変わり、さらに書き込まれることを防ぐ。ヴェリファイ動作時のバイアス条件は読み出し動作時のそれとほぼ同じであるが、ラッチ回路51には書き込み状態のデータが保持され、 $0\text{V}$ とは異なる $0.7\text{V}$ が選択ワード線に入力される。

【0025】この条件のもとで、書き込みセルのしきい値電圧が $0.7\text{V}$ を超えた時、すなわち、十分に書き込みが行われた時に、ラッチ回路51内のデータは“0”から“1”へと変化する。“1”データの入ったラッチ回路51は、ヴェリファイ動作ではラッチ回路51は“0”から“1”へのみ変化するため、影響を受けない。書き込みサイクルは、ページバッファ50のラッチ回路51が全て“1”を保持するまで、若しくは10サイクルの最大書き込み時間に達するまで繰り返される。

【0026】図32は、選択セルのチャンネルに供給する書き込み禁止電圧のバイアス条件を示している。ビット線側の選択ゲート線SSLのトランジスタは導通状態で、かつ、ソース線側の選択ゲート線GSLのトランジスタは非導通状態である。また、書き込むセルのビット線は $0\text{V}$ に、書き込み禁止セルのビット線は $V_{cc}$ にする。 $0\text{V}$ のビット線により、そのNAND列のチャンネル55は接地電位となる。書き込み電圧が選択セルのゲート56に入力されると、浮遊ゲート57とチャンネル55間に大きなポテンシャルの差が生じ、浮遊ゲート57にFNトンネル電流で電子が注入され、セルが書き込まれる。

【0027】書き込み禁止セルにおいては、 $V_{cc}$ のビット線により選択NAND列のチャンネル58が予備充電される。選択NAND列のワード線、すなわち、書き込み

電圧が入力される選択ワード線と、バス電圧が入力される非選択ワード線が立ち上がると、チャンネル58がビット線側の選択ゲート線SSL、ソース線側の選択ゲート線GSL間でフローティング状態となっているため、ワード線59、浮遊ゲート60、チャンネル58、およびセルPウェル61、それぞれを介した直列容量の結合により、チャンネル容量は自動的に昇圧される。

【0028】このように、選択ブロック内の書き込み禁止のNAND列のチャンネル電位はワード線とチャンネルとの容量結合によって決定される。したがって、書き込み禁止電圧を十分に高くするためには、チャンネルの初期充電を十分に行うこと、また、ワード線とチャンネル間の容量カップリング比を大きくすることが重要となる。

【0029】前記ワード線とチャンネル間の容量カップリング比Bは以下のように算出される。

$$【0030】B = C_{ox} / (C_{ox} + C_j)$$

ここで、 $C_{ox}$ 、 $C_j$ はそれぞれワード線とチャンネルとの間のゲート容量の総和、セルトランジスタのソースおよびドレインの接合容量の総和である。

【0031】また、NAND列のチャンネル容量は、これらゲート容量の総和 $C_{ox}$ と接合容量の総和 $C_j$ の合計となる。なお、その他の容量である選択ゲートとソースのオーバラップ容量や、ビット線とソースおよびドレインとの容量等は全チャンネル容量に比べて非常に小さいため、ここでは無視している。

【0032】例えば、 $0.4\mu\text{m}$ ルール64M、NAND型EEPROMの場合、セルトランジスタの $W$ （ゲート幅）/ $L$ （ゲート長） $= 0.4\mu\text{m}/0.4\mu\text{m}$ であり、ワード線ピッチは $0.8\mu\text{m}$ である。この64Mの場合、ゲート容量 $C_{ox}$ と接合容量 $C_j$ はほぼ等しく、カップリング比Bは0.5（50%）となる。なお、前記接合容量 $C_j$ は、セルPウェル、セルトランジスタのソースおよびドレインの不純物濃度等のプロセス条件によって多少変化する。

【0033】前記従来例1の1153ページにはカップリング比が80%と記述されているが、このようにするためには、例えば、接合容量 $C_j$ を従来の1/4にする必要が有る。しかし、接合容量を低下させるためには、セルPウェルの濃度を薄くするか、あるいは、セルトランジスタのソースおよびドレインの濃度を薄くしてはならない。セルPウェルの濃度を薄くすることはメモリセル間のフィールド耐圧を低下させることになり、限界がある。また、セルトランジスタのソースおよびドレインの濃度を薄くすることはソースおよびドレインの抵抗が増大するため、セル電流の減少につながる。

【0034】また、ゲート容量 $C_{ox}$ を増加させ、接合容量 $C_j$ を減少させる方法として、従来例3：R. Shirota et al., "A  $2.3\mu\text{m}^2$  Memory Cell Structure for 16 Mb NAND EEPROMs," in IEDM'90 Technical Digest, pp.103-106, Dec.1990.にあ

るように、デザインルールをFとしたときにワード線のピッチを2F以下にして、結果的に、隣接ワード線間のスペースを縮小させ、接合容量 $C_j$ を減少させる方法がある。

【0035】しかし、この方法は、図33(a)～(d)に示すように、ワード線をエッチングする際に、2枚のマスク材を用いているため、第1のマスク材であるシリコン窒化膜(SiN)65と第2のマスク材であるレジスト(Resist)66との間で合わせずれを起こすという問題が生じる。これは、加工上の問題を招くばかりか歩留りを低下させる。さらには、ワード線の加工用マスクが2枚必要となり、プロセス工程が複雑となって製造コストも高価なものとなる。

【0036】さらに、書き込み時にセルPウェルを負バイアスさせ、接合容量の空乏層を伸ばすことによって接合容量 $C_j$ を低下させる方法がある。しかし、接合容量は近似的に接合のビルトイン・ポテンシャルと逆バイアスとの和の平方根の逆数に比例するため、例えば、6Vのチャンネル電位に対して、セルPウェルに-2V印加しても、接合容量は約90%にしか低下せず、大きな効果は期待できない。しかも、負バイアスをセルPウェルに与えるための余分な回路とパワーと時間を必要とする。

【0037】以上述べたように、カップリング比Bを大きくする方法はいろいろあるが、どの方法にもそれぞれ上述したような問題がある。

【0038】また、前記従来例2、および従来例4：T. Tanaka et al., "A Quick Intelligent Program Architecture for 3V-Only NAND-EEPROM's," in Symp. VLSI Circuits Dig. Tech. Papers, June 1992, pp.20-21.では、書き込み時の書き込み禁止のNAND列のチャンネル電位を前記従来例1とは異なる方法で与えている。すなわち、前記従来例1では、フローティング状態にしたチャンネルとワード線との容量結合で、チャンネル電位を昇圧させているのであるが、前記従来例2および従来例4では、チップ内の周辺回路のチャージポンプで昇圧した書き込み禁止電圧をセンスアンプからビット線を介して、直接チャンネルに与えている。

【0039】図34は、従来例4のメモリセルおよびビット線を含むセンスアンプの回路図であり、図35はそのNAND列のメモリセルの書き込み(Program)、読み出し(Read)、ヴェリファイ(Verify Read)動作のバイアス状態を示す図である。

【0040】書き込みの際、選択NAND列の選択ワードCG6（制御ゲート線）には $V_{pp}$ （18V）を印加し、非選択ワード線CG1-CG5、CG7、CG8、および選択ゲート線SG1には $V_m$ （10V）を印加する。さらに、書き込みを行うビット線には0Vを印加し、書き込みを行わないビット線には $V_{mb}$ （8V）をそれぞれセンスアンプより印加する。したがって、書き

込み禁止のNAND列のチャネルには、ビット線、選択ゲート線を介して8Vの固定電位が与えられる。

【0041】このとき、選択ゲート線および非選択ワード線の電位 $V_m$ を、書き込みを行わないビット線の電位 $V_{mb}$ よりも2V高くしているのは、選択ゲートのしきい値電圧約2Vと、既にかき込まれたセルが、書き込みを行うセルよりもNAND列でビット線側にある場合、そのしきい値電圧を考慮しているためである。

【0042】前記従来例2および従来例4の問題点として、以下の2つが挙げられる。第一に、書き込み禁止電圧をセンスアンプからビット線に与えているため、センスアンプの設計上、その構成トランジスタを高耐圧トランジスタにする必要があることである。

【0043】電源電圧 $V_{cc}$ が3.3Vの場合、この $V_{cc}$ が入力されるトランジスタは、ゲート酸化膜厚が例えば120オングストロームと薄く、また、ゲート長の短いトランジスタとして設計できる。すなわち、デザインルールが、例えば0.4 $\mu m$ という厳しいルールで設計できる。

【0044】しかし、書き込み禁止電圧8Vに耐えうるトランジスタは、例えばゲート酸化膜厚が200オングストロームと厚く、また、ゲート長が1 $\mu m$ と長いトランジスタとして設計する必要がある。すなわち、デザインルールが、例えば1 $\mu m$ と緩いルールで設計する必要がある。このため、センスアンプのレイアウト面積が増大したり、また、細かいビット線ピッチにセンスアンプをレイアウトすることが困難となる。

【0045】第二の問題点として、チャネルにビット線を介して書き込み禁止電圧を入力するため、パストランジスタとなる非選択ワード線および選択ゲート線にそれらのしきい値電圧を加味した高い電圧を印加する必要がある。非選択ワード線に高い電圧を印加することは、書き込みを行うNAND列の非選択セルを誤書き込みしてしまう問題を発生させる。したがって、従来例2および従来例4では、書き込み禁止電圧は誤書き込みを起こさない程度の電位に制限を受け、書き込み禁止電圧の許容電位幅(ウィンドウ)が狭くなるという問題を有している。

【0046】また、選択ゲート線に高い電圧を印加すると、書き込みを行うNAND列のチャネルは $V_{ss}$ (0V)であるため、そのゲート酸化膜に大きな電界が加わり、選択ゲートトランジスタのゲート酸化膜の破壊を招くという問題を発生させる。

【0047】ところで、最近、提案されたブースタブレートなる導電体を用いて非書き込みNAND列のチャネル電位を高くし、かつ、書き込み/消去/読み出しの電圧を低下させるNAND型EEPROM(従来例5)について説明する。(従来例5: J. D. Choi et al., "A Novel Booster Plate Technology in High Density NAND Flash Memories for Volta

ge Scaling- Down and Zero Program Disturbance," in Symp. VLSI Technology Dig. Tech. Papers, June 1996, pp. 238-239.)

図36は、従来例5のブースタブレートを有するNAND型EEPROMの構成を示す斜視図であり、このNAND型EEPROMは次のように構成されている。図36に示すように、基板70にゲート絶縁膜71を介して浮遊ゲート72が形成され、この浮遊ゲート72上にはONO膜73を介して制御ゲート74が形成されている。そして、さらに前記制御ゲート74上にはプレート酸化膜75を介してブースタブレート76が形成されている。

【0048】すなわち、従来例5のNAND型EEPROMは、従来のNAND型EEPROMを作製した後に、プレート酸化膜75であるCVD酸化膜( $SiO_2$ )とタングステン・ポリサイド(poly-Siと $WSi_x$ )を堆積し、その後、ポリサイド層をパターンニングし、各ブロックの全メモリセル・トランジスタを覆うブースタブレート76を形成したものである。

【0049】メモリセルの動作は、基本的には前記従来例1のNAND型EEPROMとほぼ同様であるが、詳細は図16に示すようにブースタブレート76には、書き込み時に書き込み電圧が、また消去時に0Vがそれぞれ印加される。

【0050】ところで、前記ブースタブレートには2つの利点がある。一つは、書き込みの際の容量カップリング $\gamma$ が大きくなることである。ブースタブレートがない従来において、容量カップリング $\gamma$ は、

$$\gamma = C_{cf} / (C_{fs} + C_{cf})$$

と表わされる。ここで、 $C_{cf}$ は制御ゲート(ワード線)74と浮遊ゲート72間の容量であり、 $C_{fs}$ は浮遊ゲート72と基板70間の容量である。一方、ブースタブレート76を付加した場合の容量カップリング比 $\gamma_b$ は、

$$\gamma_b = (C_{cf} + C_{bf}) / (C_{fs} + C_{cf} + C_{bf})$$

と表わされ、従来のブースタブレートがない場合の $\gamma$ よりも大きくなる。したがって、書き込み時の書き込み電圧を低下できる。ここで、 $C_{bf}$ はブースタブレート76と浮遊ゲート72間の容量である。

【0051】また、消去時の容量カップリング比は、 $(1 - \gamma_b)$ で表わされるため、基板70と浮遊ゲート72間の電位差を大きくでき、従来よりも高速な消去、あるいは、消去電圧を低下することが可能となる。また、 $\gamma_b$ が大きくなることによって、読み出し時におけるバス・トランジスタへの印加電圧も低下できる。

【0052】もう一つの利点は、制御ゲート(ワード線)74とチャネル間の容量カップリング比が大きくなることである。ブースタブレート76がある場合の容量カップリング比 $B_b$ は、

$$Bb = (C_{ox} + C_{boot}) / (C_{ox} + C_{boot} + C_j)$$

と表わされる。ここで、 $C_{ox}$ は制御ゲート（ワード線）74とチャネルとの間のゲート容量の総和、 $C_{boot}$ はブースタブレート76とチャネルとの間のゲート容量の総和、 $C_j$ はセルトランジスタのソースおよびドレインの接合容量の総和である。したがって、書き込み時にバス・トランジスタの電圧を過度に高めなくても、書き込み禁止のNAND列のチャネル電位を高くすることができ、誤書き込みに対するマージンが向上できる。

【0053】

【発明が解決しようとする課題】図36に示すように、ブースタブレート76と浮遊ゲート72との間の容量 $C_{bf}$ は浮遊ゲート72の側壁で決まる。従って、さらに容量 $C_{bf}$ を大きくするには、浮遊ゲート72の膜厚を厚くして側壁を高くするか、浮遊ゲート72側壁部の前記プレート酸化膜75の膜厚を薄くするか、あるいはプレート酸化膜75の材料の比誘電率を高くするかのいずれかの方法を取らざるをえない。

【0054】しかし、浮遊ゲート72の膜厚を厚くすると、浮遊ゲート72のところで段差が大きくなり、その後のプロセスが困難になる。また、プレート酸化膜75の膜厚を薄くしたり、比誘電率の高い材料をプレート酸化膜75に用いることは信頼性の上で限界がある。したがって、図36に示す構造では、さらに容量 $C_{bf}$ を増加させて書き込み、消去、読み出し電圧の低電圧化を図るのは困難である。

【0055】また、図36に示す構造では、制御ゲート（ワード線）74を形成後、NAND列のメモリセルトランジスタのソース／ドレインのイオン注入を行っているため、この接合容量 $C_j$ により制御ゲート（ワード線）74とチャネル間のカップリング比が小さくなるという問題がある。

【0056】本発明は、前記問題点を解決するためになされたもので、その目的とするところは、ブースタブレートと浮遊ゲート間の容量を増大させ、低電圧で書き込み／消去／読み出し動作が可能なNAND型EEPROMを提供することである。また、ブースタブレート直下のソース／ドレイン領域を無くすことにより、NAND列チャネル部の接合容量を小さくし、制御ゲートとチャネル部との容量カップリング比を大きくする。これにより、書き込み禁止電圧を高めることができ、その分の誤書き込みマージンを広げることが可能として、信頼性の向上を図り得る半導体記憶装置を提供することにある。

【0057】

【課題を解決するための手段】前記目的を達成するために、請求項1に記載の半導体記憶装置は、半導体基板上に形成された導電体と、前記半導体基板及び導電体上に亘り絶縁膜を介して形成された浮遊ゲートと、前記浮遊ゲート上に絶縁膜を介して形成された制御ゲートとを具

備することを特徴とする。

【0058】また、請求項2に記載の半導体記憶装置は、半導体基板上に形成された導電体と、前記導電体との間に絶縁膜を介して配置され、この導電体の少なくとも上面の一部との間にキャパシタを形成する浮遊ゲートと、前記浮遊ゲート上に絶縁膜を介して形成された制御ゲートとを具備することを特徴とする。

【0059】また、請求項3に記載の半導体記憶装置は、半導体基板上に形成された導電体と、前記導電体との間に絶縁膜を介して配置され、この導電体の少なくとも上面の一部との間にキャパシタを形成する浮遊ゲートと、前記浮遊ゲート上に絶縁膜を介して形成された制御ゲートとを有する二層のスタック構造からなる電氣的書き換え可能なメモリセルを複数個接続したメモリセルユニットを具備することを特徴とする。

【0060】また、請求項4に記載の半導体記憶装置は、半導体基板上に形成された導電体と、前記導電体との間に絶縁膜を介して配置され、この導電体の少なくとも上面の一部との間にキャパシタを形成する浮遊ゲートと、前記浮遊ゲート上に絶縁膜を介して形成された制御ゲートとを有する二層のスタック構造からなる電氣的書き換え可能なメモリセルを複数個直列接続したNANDセルを具備することを特徴とする。

【0061】また、さらに請求項5に記載の半導体記憶装置は、請求項1乃至請求項4のいずれか1項に記載の構成において、前記半導体基板が、前記導電体下及び浮遊ゲート下における表面領域が互いに同導電型を有することを特徴とする。

【0062】また、さらに請求項6に記載の半導体記憶装置は、請求項1乃至請求項5のいずれか1項に記載の構成において、前記導電体が、第1の導電膜及び第2の導電膜が積層された積層構造を有し、前記第1の導電膜と自己整合的に設けられたトレンチ内に絶縁物が埋め込まれてなるトレンチ素子分離領域が形成されていることを特徴とする。

【0063】また、さらに請求項7に記載の半導体記憶装置は、請求項1乃至請求項6のいずれか1項に記載の構成において、前記導電体には、メモリセルへの書き込み時に書き込み電圧が印加されることを特徴とする。

【0064】また、さらに請求項8に記載の半導体記憶装置は、請求項1乃至請求項6のいずれか1項に記載の構成において、前記導電体には、メモリセルの読み出し時に電源電圧が印加されることを特徴とする。

【0065】また、さらに請求項9に記載の半導体記憶装置の製造方法は、半導体基板上に形成された複数個のメモリセルを接続してメモリセルユニットを構成する半導体記憶装置の製造方法において、前記半導体基板に素子分離領域を形成する工程と、前記半導体基板上に第1の絶縁膜を成膜する工程と、この第1の絶縁膜上に第1の導電膜を成膜する工程と、この第1の導電膜上に所定



パターンのシリコン窒化膜を形成し、さらにこのシリコン窒化膜の側面に側壁パターンを形成する工程と、前記シリコン窒化膜および側壁パターンをマスクとして、前記第1の絶縁膜および第1の導電膜を前記メモリセルの制御ゲート線方向に沿った複数の線状にパターンニングする工程と、前記線状にパターンニングされた第1の導電膜上に第2の絶縁膜を成膜する工程と、この第2の絶縁膜上に浮遊ゲートとなる第2の導電膜を成膜する工程と、前記メモリセルの制御ゲート線方向に隣接する前記素子分離領域上の第2の導電膜に分離用溝を形成する工程と、前記第2の導電膜上に第3の絶縁膜を成膜する工程と、この第3の絶縁膜上に第3の導電膜を成膜する工程と、この第3の導電膜と、前記第3の絶縁膜と、前記第2の導電膜とを自己整合的にパターンニングして、少なくとも互いに隣接する前記第1の導電膜間に制御ゲート線及び浮遊ゲートを形成する工程と、前記メモリセルユニットのソース/ドレインとして機能する領域に、イオン注入により前記線状にパターンニングされた第1の導電膜及び前記制御ゲート線と自己整合的に拡散層を形成する工程とを具備することを特徴とする。

【0066】また、さらに請求項10に記載の半導体記憶装置の製造方法は、半導体基板上に形成された複数のメモリセルを接続してメモリセルユニットを構成する半導体記憶装置の製造方法において、前記半導体基板上に第1の絶縁膜を成膜する工程と、この第1の絶縁膜上に第1の導電膜を成膜する工程と、前記第1の導電膜を所定パターンにパターンニングし、これをマスク材として前記半導体基板に素子分離用溝を形成する工程と、この素子分離用溝を絶縁物で埋め込んで素子分離領域を形成する工程と、前記半導体基板上に第2の導電膜を成膜した後、この第2の導電膜及び前記第1の導電膜を前記メモリセルの制御ゲート線方向に沿った複数の線状にパターンニングする工程と、前記線状にパターンニングされた前記第2の導電膜と第1の導電膜の積層体上に第2の絶縁膜を成膜する工程と、この第2の絶縁膜上に浮遊ゲートとなる第3の導電膜を成膜する工程と、前記メモリセルの制御ゲート線方向に隣接する前記素子分離領域上の第3の導電膜に分離用溝を形成する工程と、前記第3の導電膜上に第3の絶縁膜を成膜する工程と、この第3の絶縁膜上に第4の導電膜を成膜する工程と、この第4の導電膜と、前記第3の絶縁膜と、前記第3の導電膜とを自己整合的にパターンニングして、少なくとも互いに隣接する前記第2の導電膜と第1の導電膜の積層体間に制御ゲート線及び浮遊ゲートを形成する工程と、前記メモリセルユニットのソース/ドレインとして機能する領域に、イオン注入により前記線状にパターンニングされた第2の導電膜と第1の導電膜の積層体及び前記制御ゲート線と自己整合的に拡散層を形成する工程とを具備することを特徴とする。

【0067】

【発明の実施の形態】以下、図面を参照してこの発明の実施の形態の半導体記憶装置について、NAND型EEPROMを例として説明する。まず、本発明の第1の実施の形態のNAND型EEPROMの構成について説明する。

【0068】図13は、第1の実施の形態のNAND型EEPROMの構成を示す平面図である。図14、図15は、図13中のそれぞれX-X'、Y-Y'方向に沿った断面図である。なお、図13は透視した様子を示す。

【0069】図13～図15に示すように、p形シリコン基板1上にはメモリセルNウェル2が形成され、このメモリセルNウェル2内にはメモリセルPウェル3が形成されている。前記メモリセルPウェル3上には、図15に示すように、素子分離領域であるフィールド酸化膜（素子分離絶縁膜）4が形成されている。この前記フィールド絶縁膜4で囲まれた領域には、4個のメモリセルトランジスタとそれを挟む2個の選択ゲートトランジスタからなるNANDセルが以下のように形成されている。

【0070】前記メモリセルPウェル3上には、図14に示すように、膜厚が5nm～20nmの熱酸化膜からなる第1のゲート絶縁膜5が形成され、さらにこの第1のゲート絶縁膜5上および前記フィールド酸化膜4の一部の上には、膜厚が1000nm以上の第1の多結晶シリコン膜あるいはシリサイド膜と多結晶シリコン膜との積層膜からなる導電体で構成されるブースタブレート6が、ワード線13a方向に沿った線状に形成されている。

【0071】さらに、図14に示すように、膜厚が5nm～10nmの熱酸化膜からなる第2のゲート絶縁膜9がメモリセルPウェル3及びブースタブレート6上に亘り形成され、この第2のゲート絶縁膜9上および前記フィールド酸化膜4の一部の上には、膜厚が1000nm以上の第2の多結晶シリコン膜あるいはシリサイド膜と多結晶シリコン膜との積層膜からなる浮遊ゲート10が形成されている。

【0072】また、前記浮遊ゲート10上には、図14、図15に示すように、膜厚が15nm～40nmの第3のゲート絶縁膜12が形成され、さらに、この第3のゲート酸化膜12上には、膜厚が100nm～400nmの第3の多結晶シリコンあるいはシリサイド膜と多結晶シリコン膜との積層膜が形成されている。この積層膜により、4個のメモリセルトランジスタのワード線（制御ゲート）13aとこれらメモリセルトランジスタを挟む選択ゲートトランジスタの選択ゲート線13bが構成される。さらに、NANDセルのドレイン部とソース部には、N+層14が形成されている。

【0073】また、図14、図15に示すように、第4の絶縁膜15が全面に堆積され、この第4の絶縁膜15



には前記ドレイン部又はソース部に接続されたタングステンプラグ17が設けられており、さらに前記第4の絶縁膜15上にはこのタングステンプラグ17に接続されたアルミニウム(A1)からなるビット線18が配設されている。さらに、全面にはパシベーション膜19が形成されている。

【0074】すなわち、この第1の実施の形態のNAND型EEPROMは、次のように構成されている。p形シリコン基板1上には、第1のゲート絶縁膜5を介してブースタプレート(第1の金属電極)6が配設され、このブースタプレート6の少なくとも上面の一部には第2のゲート絶縁膜9を介して浮遊ゲート(第2の金属電極)10が配設されている。さらに、この浮遊ゲート10上には、第3のゲート絶縁膜12を介してワード線(第3の金属電極)13aが配設されている。このような2層のスタック構造からなる電氣的書き換え可能なメモリセルを複数個(ここでは4個)直列接続し、さらにこれらを挟む選択ゲートトランジスタを接続してメモリセルユニット(NANDセル)が構成され、このメモリセルユニットがマトリックス配列されてメモリセルアレイが構成されている。

【0075】また、このNAND型EEPROMは、ビット線18と交差して配設され、前記メモリセルユニットを前記ビット線18又は共通ソース線(図示せず)に接続させる選択ゲート線13bを有し、さらに、前記メモリセルアレイのワード線13aおよび選択ゲート線13bを選択する行選択手段と、前記メモリセルアレイのビット線18を選択する列選択手段とを有している。

【0076】上述のように構成されたNAND型EEPROMの動作は、基本的には従来例1の動作とほぼ同様であり、詳細を図16に示す。この図16は、書き込み、消去、読み出し動作のバイアス状態を示す図であり、ブースタプレート6には書き込み時に書き込み電圧13Vが印加され、また消去時に0Vが、読み出し時に電源電圧Vccが印加される。

【0077】ここで、ブースタプレートを有するメモリセルにおける上述した2つの利点について考える。まず、書き込みの際の容量カップリング比は次のようになる。ブースタプレートを有するメモリセルの容量カップリング比 $\gamma b$ は、上述したように、

$$\gamma b = (C_{cf} + C_{bf}) / (C_{fs} + C_{cf} + C_{bf})$$

と表わされる。この式中の $C_{bf}$ はブースタプレートと浮遊ゲート間の容量であり、図36に示した従来例5のブースタプレートを有するメモリセルの容量 $C_{bf}$ は浮遊ゲートの側壁とブースタプレートとの間に形成される容量で決定される。しかし、この第1の実施の形態のブースタプレートを有するメモリセルでは、前記容量 $C_{bf}$ は浮遊ゲート10の側壁とブースタプレート6との間に形成される容量に、ブースタプレート6の上面の一部

と浮遊ゲート10との間に形成される容量を加えたものになる。したがって、従来例5に示すメモリセルよりこの第1の実施の形態に示すメモリセルのほうが容量カップリング比 $\gamma b$ が大きくなり、書き込み時の書き込み電圧を低下できる。なお、 $C_{cf}$ は制御ゲート(ワード線)13aと浮遊ゲート10間の容量であり、 $C_{fs}$ は浮遊ゲート10と基板間の容量である。

【0078】また、消去時の容量カップリング比は、 $(1 - \gamma b)$ で表わされるため、基板と浮遊ゲート10間の電位差を大きくでき、従来例5よりも高速度な消去、あるいは、消去電圧の低下が可能となる。さらに、容量カップリング比 $\gamma b$ が大きくなることによって、読み出し時におけるバス・トランジスタへの印加電圧も低下できる。

【0079】次に、もう一つの利点の、制御ゲート(ワード線)とチャネル間の容量カップリング比についてはつぎのようになる。ブースタプレートを有するメモリセルの容量カップリング比 $Bb$ は、上述したように、 $Bb = (C_{ox} + C_{boot}) / (C_{ox} + C_{boot} + C_j)$

と表わされる。ここで、 $C_{ox}$ は制御ゲート(ワード線)とチャネルとの間のゲート容量の総和、 $C_{boot}$ はブースタプレートとチャネルとの間のゲート容量の総和、 $C_j$ はセルトランジスタのソースおよびドレインの接合容量の総和である。

【0080】図36に示した従来例5のブースタプレートを有するメモリセルでは、ブースタプレートの直下にソース/ドレイン領域が形成されている。しかし、この第1の実施の形態のブースタプレートを有するメモリセルでは、ブースタプレート6の直下のソース/ドレイン領域を無くし、浮遊ゲートの直下と同導電型の半導体領域とすることができる。したがって、NANDセルチャネル部の接合容量 $C_j$ が小さくなり、制御ゲート(ワード線)13aとチャネル部との間の容量カップリング比が大きくなる。これにより、書き込み時にバス・トランジスタの電圧を過度に高めなくても、書き込み禁止のNANDセルのチャネル電位を高くすることができ、誤書き込みに対するマージンが向上できる。

【0081】次に、上記第1の実施の形態のNAND型EEPROMの製造方法について説明する。図1～図15は、第1の実施の形態のNAND型EEPROMの製造工程を示す図である。図1、4、7、10、13は、第1の実施の形態のNAND型EEPROMの製造工程における平面図であり、図2、5、8、11、14はそれぞれの製造工程における平面図中のX-X'に沿った断面図、図3、6、9、12、15はそれぞれの製造工程における平面図中のY-Y'に沿った断面図である。

【0082】図1～図3に示すように、p形シリコン基板1上にメモリセルNウェル2を形成し、このメモリセルNウェル2内にメモリセルPウェル3を形成する。こ

のメモリセルPウェル3上に、フィールド酸化膜(素子分離絶縁膜)4を形成する。以下に前記フィールド酸化膜4で囲まれた領域への、NANDセル、ここでは4個のメモリセルトランジスタとそれを挟む2つの選択ゲートトランジスタからなるNANDセルの製造方法を示していく。

【0083】前記メモリセルPウェル3上にフィールド酸化膜4を形成後、図4～図6に示すように、膜厚が5nm～20nmの熱酸化膜からなる第1のゲート絶縁膜5を成膜する。さらに、この第1のゲート絶縁膜5上に、膜厚が1000nm以上の第1の多結晶シリコン膜あるいはシリサイド膜と多結晶シリコン膜との積層膜からなるブースタブレート6を成膜する。

【0084】続いて、図5に示すように、マスク材とするシリコン窒化膜(SiN)7をリソグラフィ法により形成し、さらにこのシリコン窒化膜7の側面に側壁8を形成する。そして、このシリコン窒化膜7および側壁8をマスクとして、図8に示すように、前記第1のゲート絶縁膜5およびブースタブレート6を制御ゲート線方向に沿った線状にエッチング加工する。

【0085】次に、図7～図9に示すように、膜厚が5nm～10nmの熱酸化膜からなる第2のゲート絶縁膜9を成膜する。この第2のゲート絶縁膜9上に、膜厚が1000nm以上の第2の多結晶シリコン膜あるいはシリサイド膜と多結晶シリコン膜との積層膜からなる浮遊ゲート10を成膜する。さらに、図9に示すように、制御ゲート線方向の隣接するフィールド酸化膜4上で浮遊ゲート10間の分離溝11を形成する。

【0086】その後、前記浮遊ゲート10上に、膜厚が15nm～40nmの第3のゲート絶縁膜12を形成する。さらに、この第3のゲート絶縁膜12上に、膜厚が100nm～400nmの第3の多結晶シリコンあるいはシリサイド膜と多結晶シリコン膜との積層膜13を堆積する。

【0087】次に、図10～図12に示すように、前記第3の多結晶シリコンあるいはシリサイド膜と多結晶シリコン膜との積層膜13と、第3のゲート絶縁膜12と、第2の多結晶シリコンあるいはシリサイド膜と多結晶シリコン膜との積層膜である浮遊ゲート10を、互いに隣接するブースタブレート6間及びブースタブレート6の上面の一部上で残存するように、セルフアラインでエッチング加工する。これにより、ワード線(制御ゲート)13、選択ゲート線13b及び浮遊ゲート10を形成する。

【0088】その後、NANDセルのドレイン部とソース部に、イオン注入によりN<sup>+</sup>層14を、セルフアラインで形成する。この際、NANDセルのメモリセルトランジスタ間のドレイン/ソース領域はブースタブレート6で覆われているため、N<sup>+</sup>層が形成されない。

【0089】次に、図13～図15に示すように、第4

の絶縁膜15を全面に堆積し、この第4の絶縁膜15にコンタクト孔16を開ける。さらに、このコンタクト孔16にタングステンプラグ17を埋め込み、このタングステンプラグ17に接続されるアルミニウム(A1)からなるビット線18を配設する。そして、パシベーション膜19で全面を覆う。以上により、この第1の実施の形態のNAND型EEPROMは完成する。

【0090】以上説明したようにこの第1の実施の形態によれば、ブースタブレートと浮遊ゲート間の容量を増大させることにより、従来のブースタブレートを有するNANDセル型EEPROMに比べて、さらに低電圧によって書き込み/消去/読み出し動作を行うことができる。

【0091】また、ブースタブレート直下のソース/ドレイン領域を無くすことにより、NAND列チャネル部の接合容量を小さくして、制御ゲートとチャネル部との容量カップリング比を大きくできる。これにより、書き込み禁止電圧を高めることができ、その分の誤書き込みマージンを広げることが可能となり、信頼性の向上を図ることができる。

【0092】次に、本発明の第2の実施の形態として、素子分離領域にトレンチ素子分離STI(Shallow Trench Isolation)を用いたNAND型EEPROMの構成について説明する。上記第1の実施の形態では、素子分離領域にフィールド酸化膜を用いたが、このフィールド酸化膜の替わりに、トレンチ素子分離を用いた場合でも、本発明を有効に適用することができる。

【0093】図26は、第2の実施の形態のNAND型EEPROMの構成を示す平面図である。図27は、図26中のX-X'方向に沿った断面図である。図28(a)、(b)は、図26中のそれぞれY1-Y1'、Y2-Y2'方向に沿った断面図である。なお、図26は透視した様子を示す。

【0094】図26～図28に示すように、p形シリコン基板21上にはメモリセルNウェル22が形成され、このメモリセルNウェル22内にはメモリセルPウェル23が形成されている。前記メモリセルPウェル23内には、図28に示すように、素子分離領域であるトレンチ素子分離領域26が形成されている。そして、このトレンチ素子分離領域26で囲まれた領域には、4個のメモリセルトランジスタとそれを挟む2個の選択ゲートトランジスタからなるNANDセルが以下のように形成されている。

【0095】前記メモリセルPウェル23上には、図27、図28に示すように、膜厚が5nm～20nmの熱酸化膜からなる第1のゲート絶縁膜24が形成され、さらにこの第1のゲート絶縁膜24上には膜厚が1000nm以上の第1の多結晶シリコン膜25が形成されている。また、この第1の多結晶シリコン膜25および前記

トレンチ素子分離領域26の一部の上には、膜厚が1000nm以上の第2の多結晶シリコン膜あるいはシリサイド膜と多結晶シリコン膜との積層膜27が形成され、前記第1の多結晶シリコン膜25と多結晶シリコン膜あるいはシリサイド膜と多結晶シリコン膜との積層膜27がワード線32の方向に沿った線状に加工されることにより二層構造からなるブースタプレートを構成している。

【0096】さらに、図27に示すように、膜厚が5nm~10nmの熱酸化膜からなる第2のゲート絶縁膜28がメモリセルPウェル23及びブースタプレート上に亘り形成され、この第2のゲート絶縁膜28上および前記トレンチ素子分離領域26の一部の上には、膜厚が1000nm以上の第3の多結晶シリコン膜あるいはシリサイド膜と多結晶シリコン膜との積層膜からなる浮遊ゲート29が形成されている。

【0097】また、前記浮遊ゲート29上には、図27に示すように、膜厚が15nm~40nmの第3のゲート絶縁膜31が形成され、さらに、この第3のゲート酸化膜31上には、膜厚が100nm~400nmの第4の多結晶シリコンあるいはシリサイド膜と多結晶シリコン膜との積層膜が形成されている。この積層膜により、4個のメモリセルトランジスタのワード線（制御ゲート）32aとこれらメモリセルトランジスタを挟む選択ゲートトランジスタの選択ゲート線32bが構成される。さらに、NANDセルのドレイン部とソース部には、N+層33が形成されている。

【0098】また、図27、図28に示すように、第5の絶縁膜34が全面に形成され、この第5の絶縁膜34には前記ドレイン部又はソース部に接続されたタングステンプラグ36が設けられている。さらに、前記第5の絶縁膜34上にはこのタングステンプラグ36に接続された、ソース線およびビット線コンタクトの間接点領域37が配設されている。

【0099】さらに、図27、図28に示すように、第6の絶縁膜38が全面に形成され、この第6の絶縁膜38上には前記間接点領域37に接続されたビット線40が配設されている。そして、全面にはパシベーション膜41が形成されている。

【0100】すなわち、この第2の実施の形態のNAND型EEPROMは、次のように構成されている。p形シリコン基板21上には、第1のゲート絶縁膜24を介して第1の多結晶シリコン膜25と多結晶シリコン膜あるいはシリサイド膜と多結晶シリコン膜との積層膜27との二層構造からなるブースタプレート（第1の金属電極）が配設され、このブースタプレートの少なくとも上面の一部には第2のゲート絶縁膜28を介して浮遊ゲート（第2の金属電極）29が配設されている。

【0101】さらに、この浮遊ゲート29上には、第3のゲート絶縁膜31を介してワード線（第3の金属電

極）32aが配設されている。このような2層のスタック構造からなる電氣的書き換え可能なメモリセルを複数個（ここでは4個）直列接続し、さらにこれらを挟む選択ゲートトランジスタを接続してメモリセルユニット（NANDセル）が構成され、このメモリセルユニットがマトリックス配列されてメモリセルアレイが構成されている。

【0102】また、このNAND型EEPROMは、前記メモリセルユニットを前記ビット線40又はソース線（前記中間接点領域）37に接続させる選択ゲート線32bを有し、さらに、前記メモリセルアレイのワード線32aおよび選択ゲート線32bを選択する行選択手段と、前記メモリセルアレイのビット線40を選択する列選択手段とを有している。

【0103】上述のように構成されたNAND型EEPROMの動作は、上記第1の実施の形態と同様に基本的には従来例1の動作とほぼ同様であり、詳細を図16に示す。この図16は、書き込み、消去、読み出し動作のバイアス状態を示す図であり、第1の多結晶シリコン膜25と、多結晶シリコン膜あるいはシリサイド膜と多結晶シリコン膜との積層膜27との二層構造からなるブースタプレートには書き込み時に書き込み電圧13Vが印加され、また消去時に0Vが、読み出し時に電源電圧Vccが印加される。

【0104】ここで、ブースタプレートを有するメモリセルにおける上述した2つの利点について考える。まず、書き込みの際の容量カップリング比は次のようになる。ブースタプレートを有するメモリセルの容量カップリング比 $\gamma b$ は、上述したように、

$$\gamma b = (C_{cf} + C_{bf}) / (C_{fs} + C_{cf} + C_{bf})$$

と表わされる。この式中の $C_{bf}$ はブースタプレートと浮遊ゲート間の容量であり、図36に示した従来例5のブースタプレートを有するメモリセルの容量 $C_{bf}$ は浮遊ゲートの側壁とブースタプレートとの間に形成される容量で決定される。しかし、この第2の実施の形態のブースタプレートを有するメモリセルでは、前記容量 $C_{bf}$ は浮遊ゲート29の側壁とブースタプレートとの間に形成される容量に、ブースタプレートの上面の一部と浮遊ゲート29との間に形成される容量を加えたものになる。したがって、従来例5に示すメモリセルよりこの第2の実施の形態に示すメモリセルのほうが容量カップリング比 $\gamma b$ が大きくなり、書き込み時の書き込み電圧を低下できる。なお、 $C_{cf}$ は制御ゲート（ワード線）32aと浮遊ゲート29間の容量であり、 $C_{fs}$ は浮遊ゲート29と基板間の容量である。

【0105】また、消去時の容量カップリング比は、 $(1 - \gamma b)$ で表わされるため、基板と浮遊ゲート29間の電位差を大きくでき、従来例5よりも高速な消去、あるいは、消去電圧の低下が可能となる。さらに、容量

カップリング比 $\gamma b$ が大きくなることによって、読み出し時におけるパス・トランジスタへの印加電圧も低下できる。

【0106】次に、もう一つの利点の、制御ゲート（ワード線）32aとチャネル間の容量カップリング比についてはつぎのようになる。ブースタブレートに有するメモリセルの容量カップリング比Bbは、上述したように、

$$Bb = (C_{ox} + C_{boot}) / (C_{ox} + C_{boot} + C_j)$$

と表わされる。ここで、 $C_{ox}$ は制御ゲート（ワード線）32aとチャネルとの間のゲート容量の総和、 $C_{boot}$ はブースタブレートとチャネルとの間のゲート容量の総和、 $C_j$ はセルトランジスタのソースおよびドレインの接合容量の総和である。

【0107】図36に示した従来例5のブースタブレートを有するメモリセルでは、ブースタブレートの直下にソース／ドレイン領域が形成されている。しかし、この第2の実施の形態のブースタブレートを有するメモリセルでは、ブースタブレートの直下のソース／ドレイン領域を無くし、浮遊ゲート29の直下と同導電型の半導体領域とすることができる。したがって、NANDセルチャネル部の接合容量 $C_j$ が小さくなり、制御ゲート（ワード線）32aとチャネル部との間の容量カップリング比が大きくなる。これにより、書き込み時にパス・トランジスタの電圧を過度に高めなくても、書き込み禁止のNANDセルのチャネル電位を高くすることができ、誤書き込みに対するマージンが向上できる。

【0108】次に、上記第2の実施の形態のNAND型EEPROMの製造方法について説明する。図17～図28は、第2の実施の形態のNAND型EEPROMの製造工程を示す図である。図17、20、23、26は、第2の実施の形態のNAND型EEPROMの製造工程における平面図であり、図18、21、24、27はそれぞれの製造工程における平面図中のX-X'に沿った断面図、図19、22、25、28はそれぞれの製造工程における平面図中のY1-Y1'、Y2-Y2'に沿った断面図である。

【0109】図17～図19に示すように、まず、p型シリコン基板21上にメモリセルNウェル22を形成し、このメモリセルNウェル22内にメモリセルPウェル23を形成する。その後、図19に示すように、前記メモリセルPウェル23内に、トレンチ素子分離領域（STI）26を形成する。ここでは、前記トレンチ素子分離領域26で囲まれた領域へのNANDセル、この実施の形態では4個のメモリセルトランジスタとそれを挟む2つの選択ゲートトランジスタからなるNANDセルの形成方法を以下に示していく。

【0110】前記メモリセルNウェル22内にメモリセルPウェル23を形成後、膜厚が5nm～20nmの熱

酸化膜からなる第1のゲート絶縁膜24を形成する。さらに、この第1のゲート絶縁膜24上に、膜厚が1000nm以上の第1の多結晶シリコン膜25を形成する。

【0111】続いて、前記第1の多結晶シリコン膜25をNAND列状にパターンニングし、これをマスク材としてトレンチ孔を開け、CVD法により第2の絶縁膜であるシリコン酸化膜（ $SiO_2$ ）を埋め込み、トレンチ素子分離領域26を形成する。さらに、全面に膜厚が1000nm以上の第2の多結晶シリコン膜あるいはシリサイド膜と多結晶シリコン膜との積層膜27を堆積し、第1の多結晶シリコン膜25とともに制御ゲート線方向に沿った線状にパターンニングする。これにより、電気的に接続された第1の多結晶シリコン膜25と、多結晶シリコン膜あるいはシリサイド膜と多結晶シリコン膜との積層膜27との二層構造からなるブースタブレートを形成する。

【0112】次に、図20～図22に示すように、膜厚が5nm～20nmの熱酸化膜からなる第2のゲート絶縁膜28を成膜する。この第2のゲート絶縁膜28上およびCVD酸化膜（ $SiO_2$ ）からなる前記トレンチ素子分離領域26上に、膜厚が1000nm以上の第3の多結晶シリコン膜あるいはシリサイド膜と多結晶シリコン膜との積層膜からなる浮遊ゲート29を成膜する。さらに、図22に示すように、制御ゲート線方向の隣接するトレンチ素子分離領域26上で浮遊ゲート29間の分離溝30を形成する。

【0113】その後、前記浮遊ゲート29上に、膜厚が15nm～40nmの第3のゲート絶縁膜31を成膜する。さらに、この第3のゲート絶縁膜31上に、膜厚が100nm～400nmの第4の多結晶シリコンあるいはシリサイド膜と多結晶シリコン膜との積層膜32を成膜する。

【0114】次に、図23～図25に示すように、前記第4の多結晶シリコンあるいはシリサイド膜と多結晶シリコン膜との積層膜32と、第3のゲート絶縁膜31と、第3の多結晶シリコンあるいはシリサイド膜と多結晶シリコン膜との積層膜である浮遊ゲート29を、互いに隣接するブースタブレート間及びブースタブレートの上面の一部上で残存するように、セルフアラインでエッチング加工する。これにより、ワード線（制御ゲート）32a、選択ゲート線32b及び浮遊ゲート29を形成する。

【0115】その後、NAND列のドレイン部とソース部に、イオン注入により $N^+$ 層33を、セルフアラインで形成する。この際、NAND列のメモリセルトランジスタ間のドレイン／ソース領域はブースタブレートで覆われているため、 $N^+$ 層が形成されない。

【0116】次に、図26～図28に示すように、第5の絶縁膜34を全面に成膜し、この第5の絶縁膜34に第1のコンタクト孔35を開ける。前記第1のコンタク

ト孔35にタングステンプラグ36を埋め込み、このタングステンプラグ36に接続した第1の金属配線でソース線およびビット線コンタクトの間接点領域37を形成する。

【0117】その後、第6の絶縁膜38を全面に成膜し、この第6の絶縁膜38に第2のコンタクト孔39を開ける。この第2のコンタクト孔39に、前記間接点領域37に接続した第2の金属配線のビット線40を配設する。そして、パシベーション膜41で全面を覆う。以上により、この第2の実施の形態のNAND型EEPROMは完成する。

【0118】以上説明したようにこの第2の実施の形態によれば、ブースタブレートと浮遊ゲート間の容量を増大させることにより、従来のブースタブレートを有するNANDセル型EEPROMに比べて、さらに低電圧によって書き込み/消去/読み出し動作を行うことができる。

【0119】また、ブースタブレート直下のソース/ドレイン領域を無くすことにより、NAND列チャネル部の接合容量を小さくでき、制御ゲートとチャネル部との容量カップリング比を大きくできる。これにより、書き込み禁止電圧を高めることができ、その分の誤書き込みマージンを広げることが可能となる。

【0120】

【発明の効果】以上述べたように本発明によれば、ブースタブレートと浮遊ゲート間の容量を増大させ、低電圧で書き込み/消去/読み出し動作が可能なNAND型EEPROMを提供することができる。また、ブースタブレート直下のソース/ドレイン領域を無くすことにより、NAND列チャネル部の接合容量を小さくし、制御ゲートとチャネル部との容量カップリング比を大きくする。これにより、書き込み禁止電圧を高めることができ、その分の誤書き込みマージンを広げることが可能として、信頼性の向上を図り得る半導体記憶装置を提供することができる。

【図面の簡単な説明】

【図1】第1の実施の形態のNAND型EEPROMの製造工程における平面図である。

【図2】前記製造工程における平面図中のX-X'に沿った断面図である。

【図3】前記製造工程における平面図中のY-Y'に沿った断面図である。

【図4】第1の実施の形態のNAND型EEPROMの製造工程における平面図である。

【図5】前記製造工程における平面図中のX-X'に沿った断面図である。

【図6】前記製造工程における平面図中のY-Y'に沿った断面図である。

【図7】第1の実施の形態のNAND型EEPROMの製造工程における平面図である。

【図8】前記製造工程における平面図中のX-X'に沿った断面図である。

【図9】前記製造工程における平面図中のY-Y'に沿った断面図である。

【図10】第1の実施の形態のNAND型EEPROMの製造工程における平面図である。

【図11】前記製造工程における平面図中のX-X'に沿った断面図である。

【図12】前記製造工程における平面図中のY-Y'に沿った断面図である。

【図13】第1の実施の形態のNAND型EEPROMの製造工程における平面図である。

【図14】前記製造工程における平面図中のX-X'に沿った断面図である。

【図15】前記製造工程における平面図中のY-Y'に沿った断面図である。

【図16】第1、第2の実施の形態のNAND型EEPROMにおける書き込み、消去、読み出し動作のバイアス状態を示す図である。

【図17】第2の実施の形態のNAND型EEPROMの製造工程における平面図である。

【図18】前記製造工程における平面図中のX-X'に沿った断面図である。

【図19】前記製造工程における平面図中のY1-Y1'、Y2-Y2'に沿った断面図である。

【図20】第2の実施の形態のNAND型EEPROMの製造工程における平面図である。

【図21】前記製造工程における平面図中のX-X'に沿った断面図である。

【図22】前記製造工程における平面図中のY1-Y1'、Y2-Y2'に沿った断面図である。

【図23】第2の実施の形態のNAND型EEPROMの製造工程における平面図である。

【図24】前記製造工程における平面図中のX-X'に沿った断面図である。

【図25】前記製造工程における平面図中のY1-Y1'、Y2-Y2'に沿った断面図である。

【図26】第2の実施の形態のNAND型EEPROMの製造工程における平面図である。

【図27】前記製造工程における平面図中のX-X'に沿った断面図である。

【図28】前記製造工程における平面図中のY1-Y1'、Y2-Y2'に沿った断面図である。

【図29】従来例1のメモリアレイの構成を示すブロック図である。

【図30】従来例1の消去、読み出し、書き込み動作のバイアス状態を示す図である。

【図31】従来例1の読み出し時の主要信号の動作波形を示す図である。

【図32】従来例1の選択セルのチャネルに供給する書

き込み禁止電圧のバイアス条件を示す図である。

【図33】従来例3のNAND型EEPROMの製造方法の一部を示す図である。

【図34】従来例4のメモリセルおよびビット線を含むセンスアンプ回路図である。

【図35】従来例4のNAND列のメモリセルの書き込み、読み出し、ヴェリファイ動作のバイアス状態を示す図である。

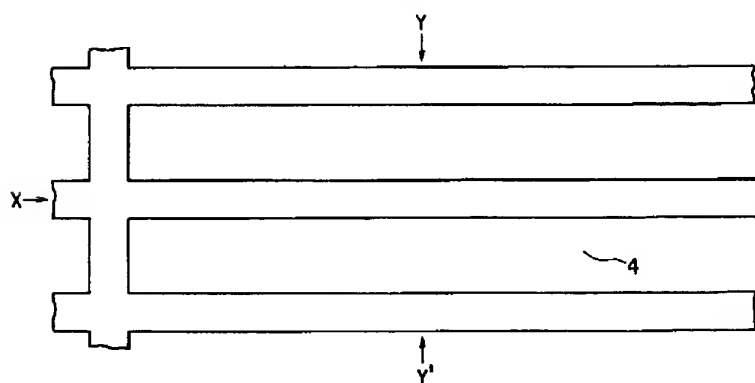
【図36】従来例5のブースタプレートを有するNAND型EEPROMの構成を示す斜視図である。

【符号の説明】

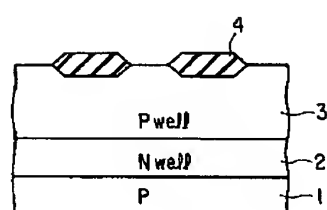
- 1…p形シリコン基板
- 2…メモリセルNウェル
- 3…メモリセルPウェル
- 4…フィールド酸化膜（素子分離絶縁膜）
- 5…第1のゲート絶縁膜
- 6…ブースタプレート
- 7…シリコン窒化膜
- 8…側壁
- 9…第2のゲート絶縁膜
- 10…浮遊ゲート
- 11…分離溝
- 12…第3のゲート絶縁膜
- 13…第3の多結晶シリコン（又はシリサイド膜と多結晶シリコン膜との積層膜）
- 13a…制御ゲート（ワード線）
- 13b…選択ゲート線
- 14…N<sup>+</sup>層
- 15…第4の絶縁膜

- 16…コンタクト孔
- 17…タングステンプラグ
- 18…ビット線
- 19…パシベーション膜
- 21…p型シリコン基板
- 22…メモリセルNウェル
- 23…メモリセルPウェル
- 24…第1のゲート絶縁膜
- 25…第1の多結晶シリコン膜
- 26…トレンチ素子分離領域（STI）
- 27…第2の多結晶シリコン膜（又はシリサイド膜と多結晶シリコン膜との積層膜）
- 28…第2のゲート絶縁膜
- 29…浮遊ゲート
- 30…分離溝
- 31…第3のゲート絶縁膜
- 32…第4の多結晶シリコン膜（又はシリサイド膜と多結晶シリコン膜との積層膜）
- 32a…制御ゲート（ワード線）
- 32b…選択ゲート線
- 33…N<sup>+</sup>層
- 34…第5の絶縁膜
- 35…コンタクト孔
- 36…タングステンプラグ
- 37…中間接点領域（ソース線）
- 38…第6の絶縁膜
- 39…第2のコンタクト孔
- 40…ビット線
- 41…パシベーション膜

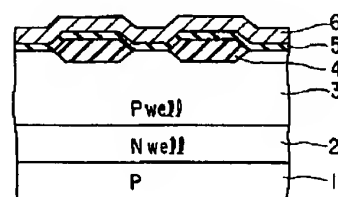
【図1】



【図3】

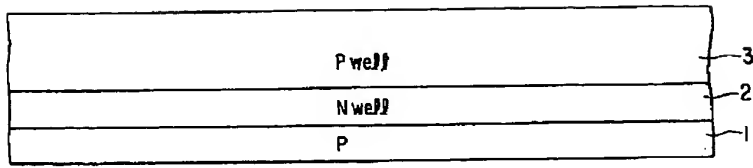


【図6】

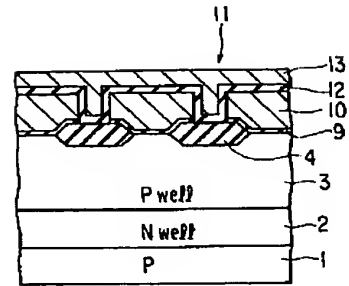




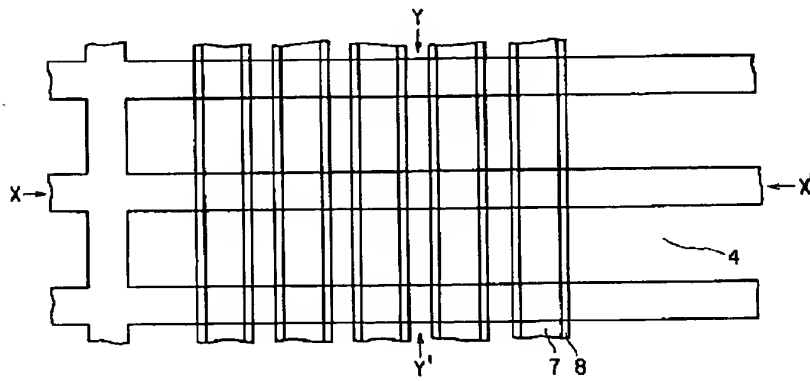
【図2】



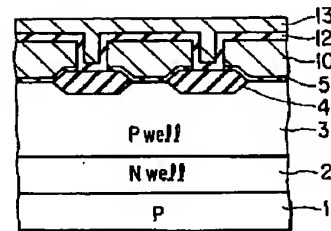
【図9】



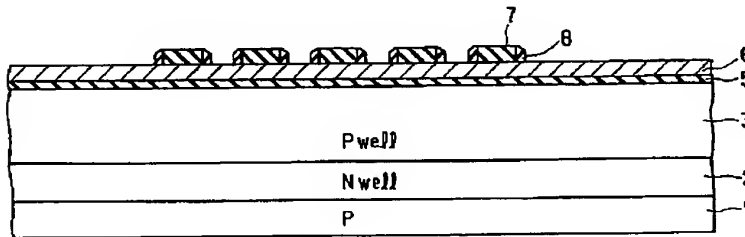
【図4】



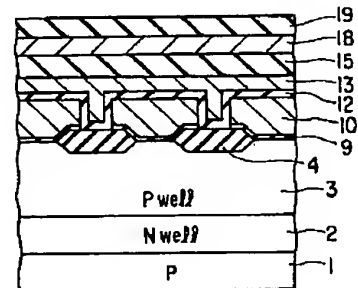
【図12】



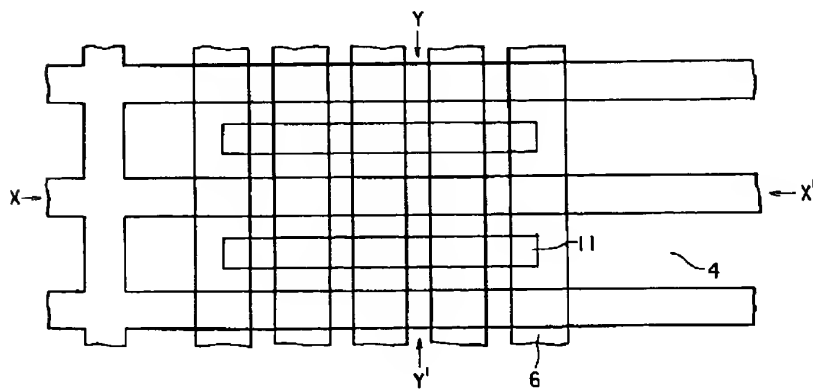
【図5】



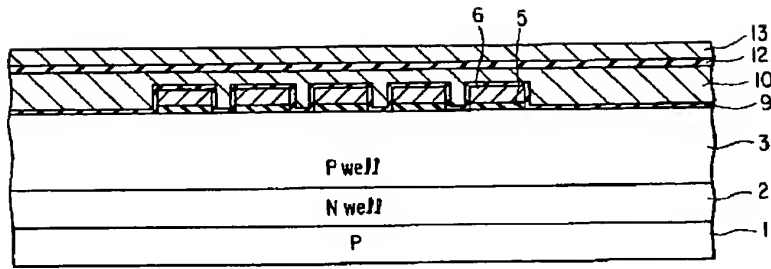
【図15】



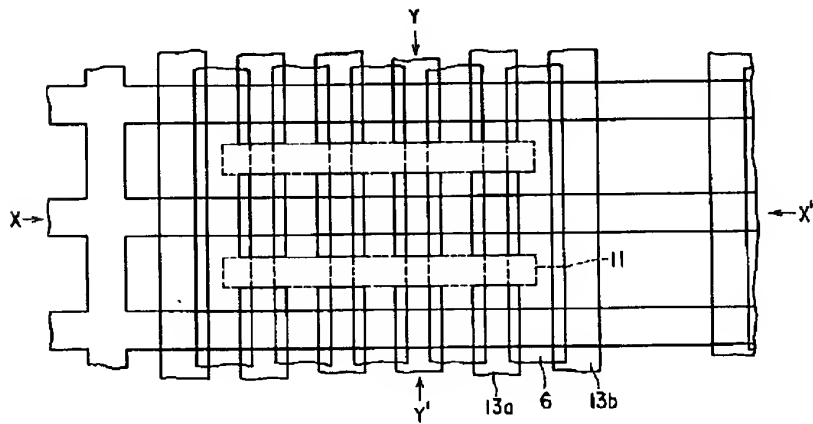
【図7】



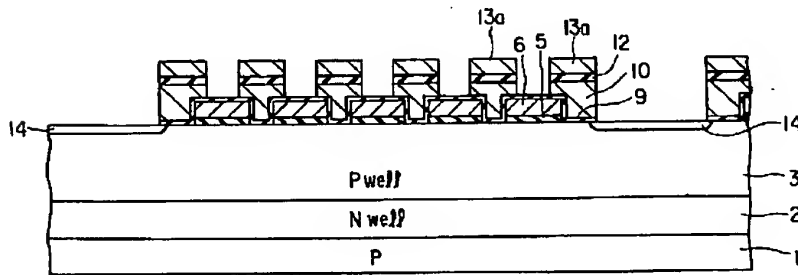
【図8】



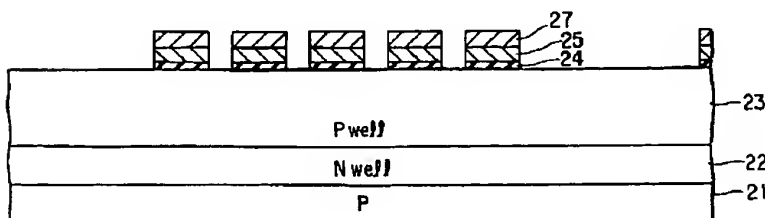
【図10】



【図11】



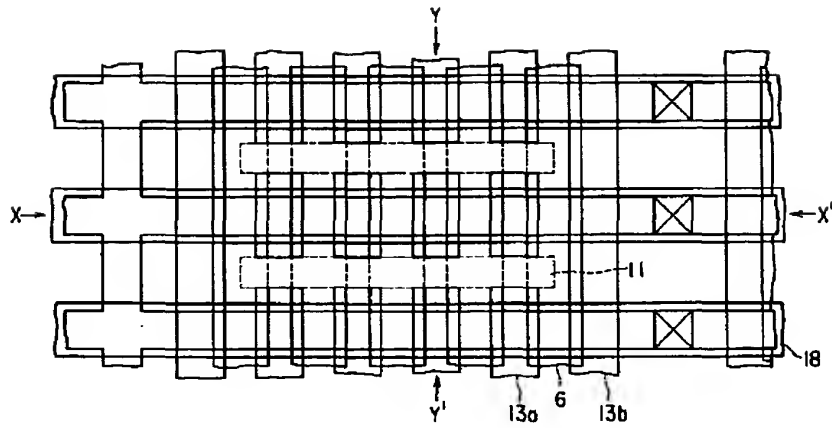
【図18】



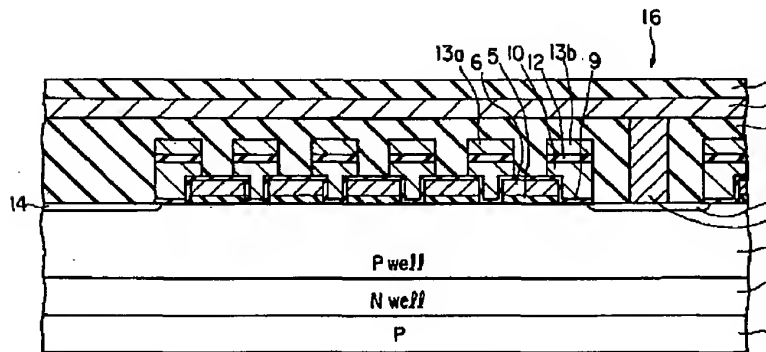
【図16】

MODE	WITH BOOSTER PLATE		
	Prag	Erase	Read
B/L("0" cell)	0	F	1.8
B/L("1" cell)	Vcc	F	0.7
SSL	Vcc	F	Vcc
Booster Plate	13	0	Vcc
W/L(select)	13	0	0
W/L(unselect)	Vcc	F	Vcc
GSL	0	F	Vcc
CSL	0	F	0
BULK	0	16	0

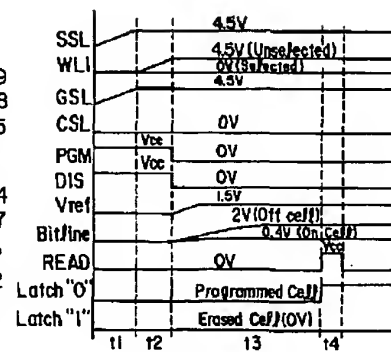
【図13】



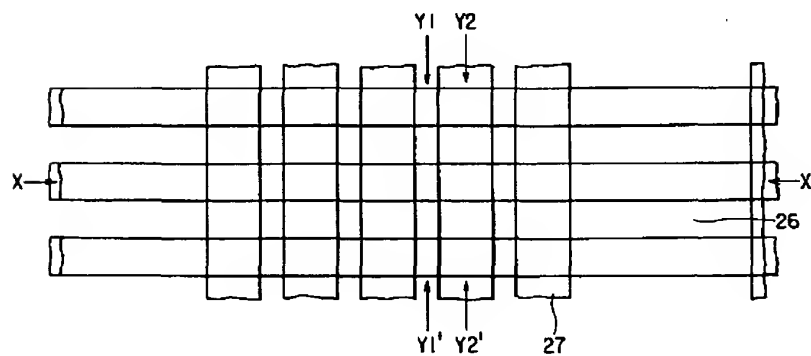
【図14】



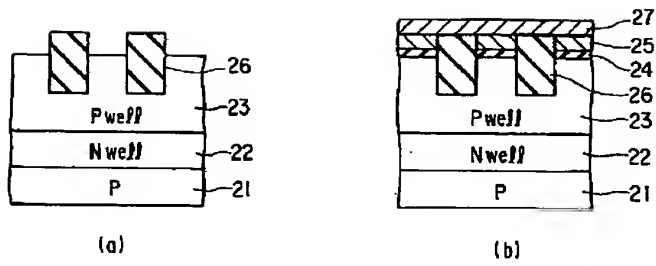
【図31】



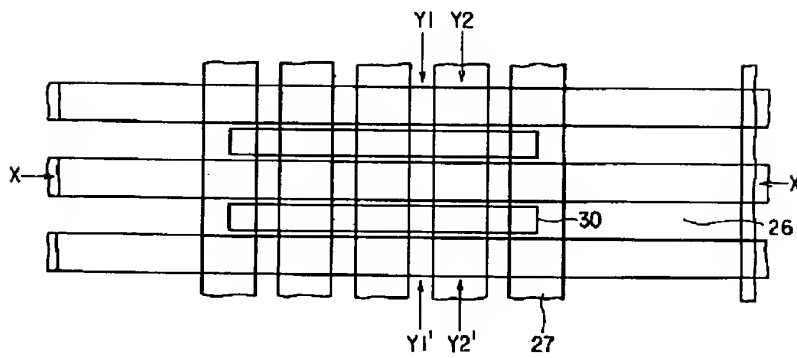
【図17】



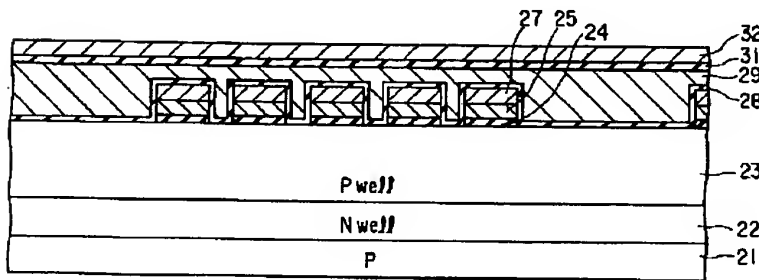
【図19】



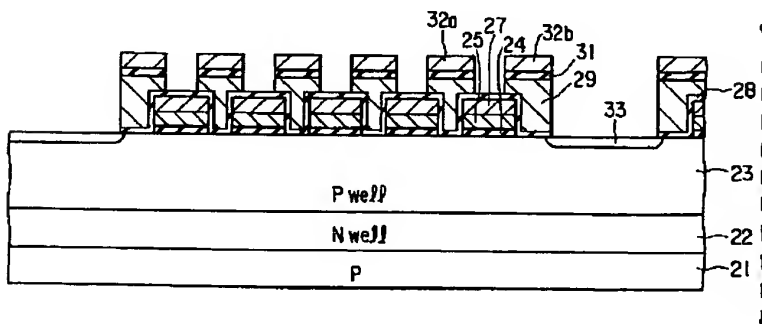
【図20】



【図21】



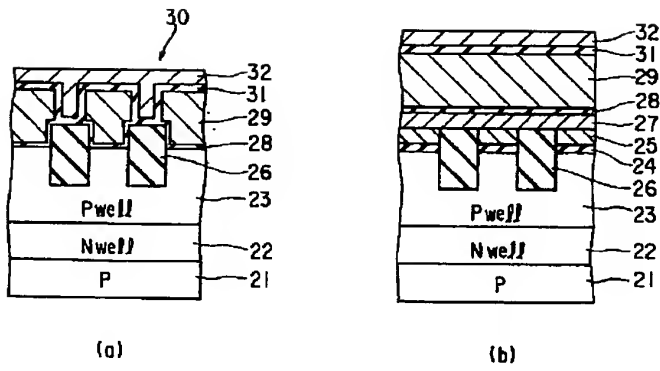
【図24】



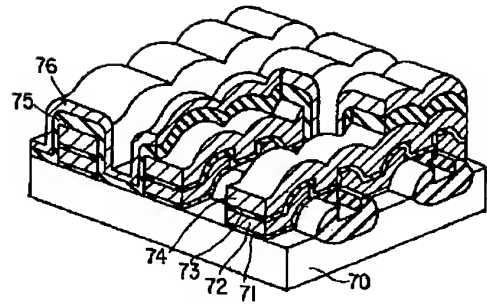
【図35】

	Program	Read	Verify Read
BL	0V ("I" DATA)	1.8V	1.8V
	8V ("O" DATA)	1.5V (Dummy)	1.3V (Dummy)
SG1	10V	3V	3V
CG1	10V	3V	3V
CG2	10V	3V	3V
CG3	10V	3V	3V
CG4	10V	3V	3V
CG5	10V	3V	3V
CG6	18V Selected	0V	0.6V
CG7	10V	3V	3V
CG8	10V	3V	3V
SG2	0V	3V	3V

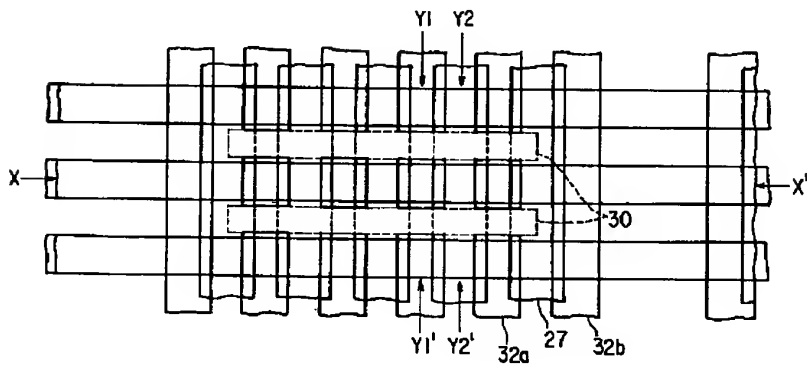
【図22】



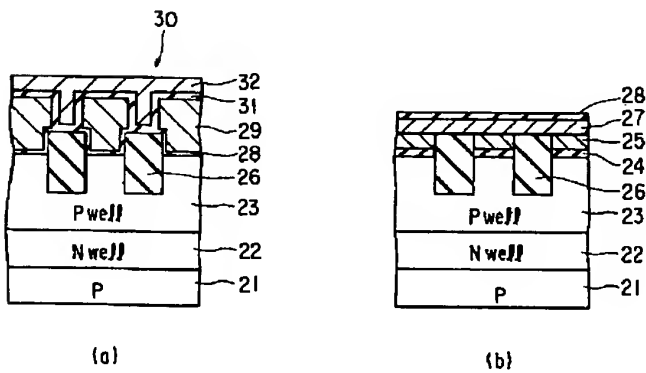
【図36】



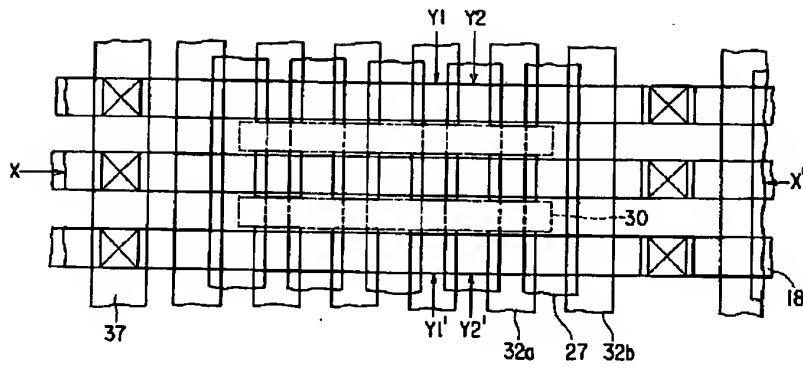
【図23】



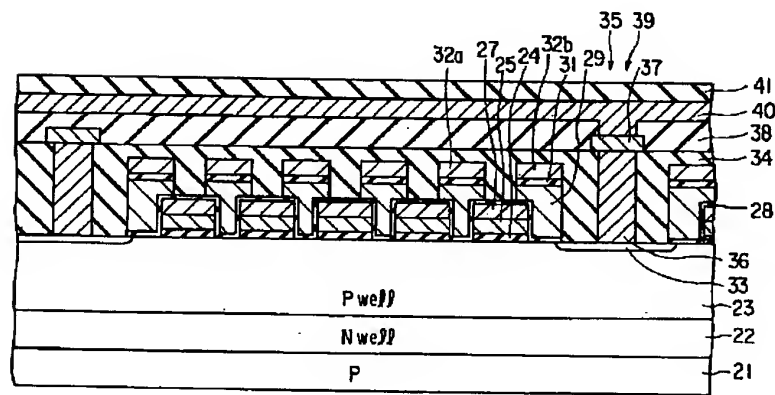
【図25】



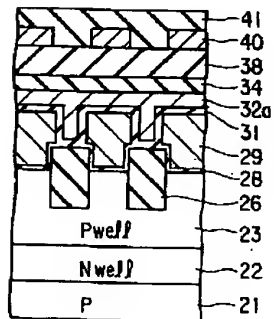
【図26】



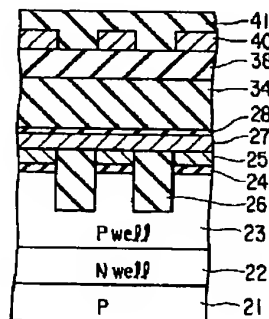
【図27】



【図28】



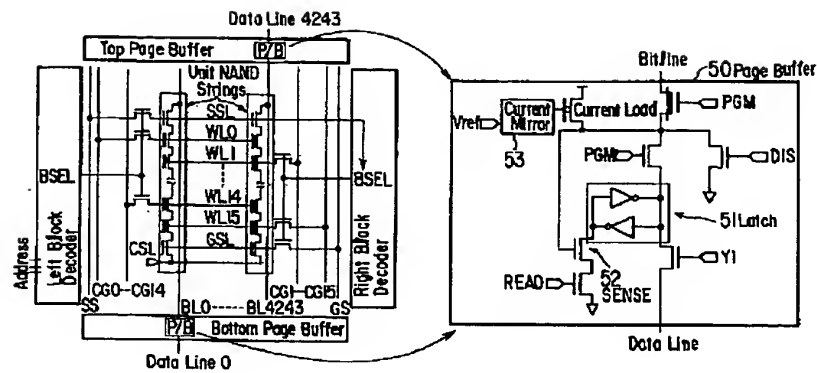
(a)



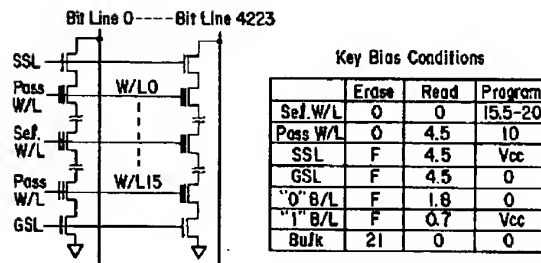
(b)



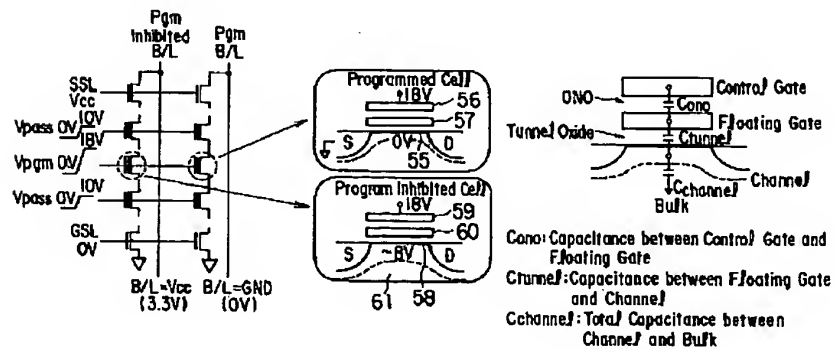
【図29】



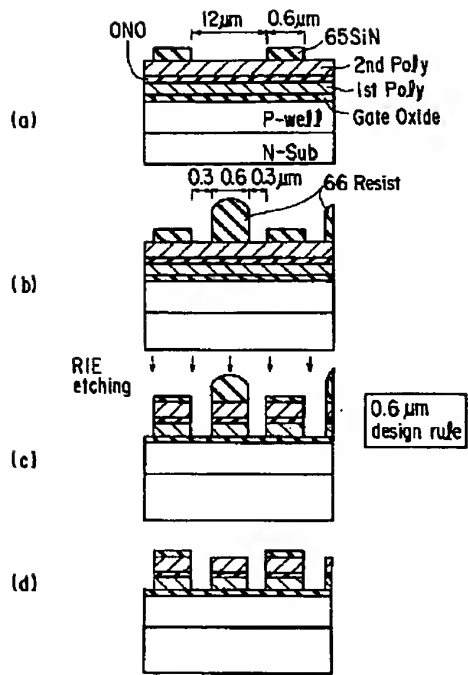
【図30】



【図32】



【図33】



【図34】

